

(19) 日本国特許庁(JP)

(12) **公開特許公報 (A)**

(11) 特許出願公開番号

特開平4-115722

(43) 公開日 平成4年(1992)4月16日

(51) Int. C1.<sup>5</sup>

H 03M 3/02

識別記号

府内整理番号

F I

技術表示箇所

H 03M 3/02

審査請求 有

(全 7 頁)

(21) 出願番号 特願平2-235191

(22) 出願日 平成2年(1990)9月5日

(71) 出願人 000000407

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 香高 孝之

静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

(72) 発明者 本目 光弘

静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

(72) 発明者 平野 雅三

静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

(74) 代理人 伊沢 敏昭

最終頁に続く

(54) 【発明の名称】 DA変換装置

(57) 【要約】 本公報は電子出願前の出願データであるた  
め要約のデータは記録されません。

## 【特許請求の範囲】

1、(a) オーバーサンプリングされたマルチビットのデジタル入力をデルタシグマ変調することによりビット数の低下したデジタル信号を送出するノイズシェーバと、

(b) このノイズシェーバでのリミットサイクルを防止すべく該ノイズシェーバの入力としてのデジタル信号にデジタル形式の交流波形信号を加算する加算手段と

(C) 前記ノイズシェーバからのデジタル信号を前記デジタル入力に対応したアナログ出力に変換する変換手段とをそなえたDA変換装置において、

(d) 前記交流波形信号を加算すべきデジタル信号の有無を検出する検出手段と、

(e) この検出手段の検出出力が信号無しを指示するに応答して前記交流波形信号の加算を停止すると共に前記ノイズシェーバ内のデータをクリアし、該検出手段の検出出力が信号有りを指示するのに応答して前記交流波形信号の加算を再開する制御手段とを設けたことを特徴とするDA変換装置。

2、前記制御手段は、前記交流波形信号の加算を停止する際該交流波形信号の振幅値を徐々に減少させると共に、前記交流波形信号の加算を再開する際該交流波形信号の振幅値を徐々に増大させるように構成されているとを特徴とする請求項1記載のDA変換装置。

## 【発明の詳細な説明】

## 【産業上の利用分野】

この発明は、オーバーサンプリング技術及びノイズシェービング（デルタシグマ変調）技術を利用したDA変換装置に関し、特にノイズシェーバでのリミットサイクルを防止する技術に関するものである。

## 【発明の概要】

この発明は、ノイズシェーバの人力としてのデジタル信号にデジタル形式の交流波形信号を加算してノイズシェーバでのリミットサイクルを防止する回路において、交流波形信号を加算すべきデジタル信号の有無を検出し、信号無しのときは交流波形信号の加算を停止すると共にノイズシェーバ内のデータをクリアすることにより無信号時のノイズ低減を図ったものである。

## 【従来の技術】

従来、オーバーサンプリング技術及びノイズシェービング技術を利用したDA変換装置としては、第5図に例示したものが提案されている。

第5図において、10はマルチビットのデジタル人力DIをオーバーサンプリングするデジタルフィルタ、12はフィルタ10からのマルチビットのデジタル信号Aを一方の人力とする加算器、14はデジタル形式の交流波形信号を加算器12に他方の入力として供給するデイザー16は加算器12の加算出力としてのマルチビットのデジタル信号A1をデルタシグマ変調（微

積分処理）することによりビット数の低下したデジタル信号Bを送出するノイズシェーバ（デルタシグマ変調器）、18はノイズシェーバ16からのデジタル信号Bを構成するパルスを整形用クロック信号に応じて波形整形する波形整形回路、20は周波数fsを有するシステムクロック信号φ5を発生するクロック発生器、22は回路18からのパルス出力Cをろ渡して入力DIに対応したアナログ出力AOに変換するローパスフィルタ（LPF）である。

10 一点鎖線ICで取込んだ回路部は、モノリシック又はハイブリッド形式の集積回路として構成され、1パツケージ内に配置されるもので、20Aはクロック発生器20に対して外付けされる水晶振動子である。場合によっては、デジタルフィルタ10及びその関連部分（破線で囲んだ部分）も含めて集積回路化が行なわれる。

デジタル人力DIは、一例として各サンプル毎に16ビット（1ワード）のデータを含む波形データであり、データ送付周波数は44.1にHzである。また、システムクロック信号φ8の周波数は、16.9MHzであり、デジタルフィルタ10からノイズシェーバ16へのデータ送付周波数は、通常fs/2（例えば8.45MHz）である。

ノイズシェーバ16は、オーバーサンプリング周波数換においてオーバーサンプリング周波数を下げるために設けられたものである。ノイズシェーバ16として1次又は2次のノイズシェーバを用いた場合には、ノイズシェーバ出力Bとしてパルス密度変調（ピットストリーム）出力が得られ、3次以上のノイズシェーバを用いた場合には出力Bとしてパルス幅変調出力が得られる。

30 ノイズシェーバ16では、デジタル信号がビット数を下げた表現に変換されるが、このような変換によって生ずる誤差はノイズとなり、高い周波数領域はほど大きくなる一方、注目する可聴周波数帯域内のノイズは満足な程度に低くなる。すなわち、第6図は、ノイズシェーバ16の理想出力のパワースペクトラムを示すもので、ノイズシェービングによるノイズパワーは、f\*/2の近傍の高周波領域で最大である。また、低周波領域の単色の鋭いパワー成分P<sub>a</sub>は、人力デジタル信号成分にサイン波となるものを与えた場合に得られるものであり、パワー成分P<sub>b</sub>は、システムクロック信号φによるものである。

ノイズシェーバ出力Bには、デジタル処理を受けた際のゆらぎにより理想状態に諸々のノイズが加わっているので、出力Bを直接LPF22でアナログ出力に変換するとノイズ成分により誤差が生ずる。そこで、ノイズシェーバ出力Bを波形整形回路18でシステムクロック信号φ9に基づいて波形整形してからLPF22に供給することによりノイズ成分による誤差を軽減している。

加算器12及びデイザー14は、ノイズシェーバ16においてリミットサイクルが発生するのを防止するために

設けられたものである。ノイズシェーパ16は、例えば第2図に示すような一次のデルタシグマ変調器により構成されるが、システムクロック信号φ5が1”、“0”を繰返すのに伴い出力データが入力側に負帰還され、これに応じて積分器内のレジスタの内容が変化する。ノイズシェーパ人力として直流レベルに対応するデジタル信号が入力されると、直流レベルに応じた繰返し周波数でレジスタの内容が変化し、出力に交流が現われ、この交流がリミットサイクル又はアイドリングパターンと呼ばれるものである。リミットサイクルの周波数は、直流レベルが小さいほど低く、微少な直流レベルでは可聴周波数帯域に入ることもある。リミットサイクルは、DA変換にとっては、不要な発振が出力に加わるので有害なものである。

第5図の回路では、リミットサイクルを防止するため、加算器12においてデジタル信号Aに対してデイザ14からの交流波形信号りを加算して直流成分をかき乱し、それによってリミットサイクルのエネルギーが一周波数に集中しないようにしている。交流波形信号りとしては、200～600KHz位の周波数で-12～-20dB位のレベルの方形波信号を用いるのが一般的である。

#### [発明が解決しようとする課題]

上記した従来のリミットサイクル防止技術によると、入力信号が無信号の状態でも加算器12には交流波形信号りが加わっており、この信号りが加算出力A1としてノイズシェーパ16に供給される。このため、ノイズシェーパ16の出力は、ノイズが増大し、無信号時のS/N比として120dB以上を得ることは困難であつた。

この発明の目的は、上記したようなオーバーサンプリング型DA変換装置において、無信号時のノイズを低減することにある。

#### [課題を解決するための手段]

この発明は、上記したようなオーバーサンプリング型DA変換装置において、リミットサイクル防止用の交流波形信号を加算すべきデジタル信号の有無を検出する検出手段と、この検出手段の検出出力が信号無しを指示するのに応答して前記交流波形信号の加算を停止すると共に前記ノイズシェーパ内のデータをクリアし、該検出手段の・検出出力が信号有りを指示するのに応答して前記交流波形信号の加算を再開する制御手段とを設けたことを特徴とするものである。

このような構成において、制御手段は、前記交流波形信号の加算を停止する際該交流波形信号の振幅値を徐々に減少させると共に、前記交流波形信号の加算を再開する際該交流波形信号の振幅値を徐々に増大させるように構成してもよい。

#### [作用]

この発明の構成によれば、デジタル信号が無信号の状態になると、検出手段からの検出出力に基づいて制御手

段が交流波形信号の加算を停止すると共にノイズシェーパ内のデータをクリアする。従って、ノイズシェーパ内で帰還動作が行なわっても、レジスタ内容は常にゼロ状態となり、ノイズは極小となる。

この後、デジタル信号が有信号の状態になると、検出手段からの検出出力に応じて制御手段が交流波形信号の加算を再開する。このため、デジタル信号として直流レベルに対応したものが人力されてもリミットサイクルは発生しない。

10 また、上記したように交流波形信号の加算停止及び加算再開の際に交流波形信号の振幅値を徐々に変更制御すると、デイザー動作のオン／オフに伴うノイズ発生を回避でき、一層の低ノイズ化を達成できる。

#### [実施例]

第1図は、この発明の一実施例によるリミットサイクル防止回路を示すもので、第5図と同様の部分には同様の符号を付して詳細な説明を省略する。

1's 1図の回路の特徴とするところは、デジタルフィルタ10の出力Aを入力とする無信号検出回路30を設けると共に交流波形信号りの通路に制御スイッチ32を設け、検出回路30からの検出出力NSに応じて制御スイッチ32及びノイズシェーパ16を制御するようにしたことである。

検出回路30がフィルタ10の出力Aに基づいてデジタル信号無しを検出すると、検出出力NSが“1”になり、これに応じて制御スイッチ32がオフ制御されると共にノイズシェーパ16内のデータがクリアされる。

ノイズシェーパ16は、一例として't i、2図に示すような一次のデルタシグマ変調器から成っている。第2

30 図において、16Aは加算器12の出力を一方の人力とする加算器、16Bは加算器16Aの出力を入力とする積分器、16Cは積分器16Bの出力について正負を判定して1ビット量子化を行なう量子化器、16Dは量子化器16Cの出力（ノイズシェーパ出力）を1サンプリング時間だけ遅延させて加算器18Aに他方の入力として供給する遅延素子である。ここで、加算器16A及び積分器16Bにはそれぞれ所定ビット数のレジスタが含まれており、遅延素子16Dはデータ保持機能を有するDフリップフロップ等により構成される。従って、ノイズシェーパ16内のデータをクリアするには、検出出力NS="1"に応じて加算器16Aのレジスタ、積分器16Bのレジスタ、遅延素子16DのDフリップフロップ等をクリアすればよい。

制御スイッチ32がオフ状態になると、加算器12では交流波形信号りの加算が停止されるので、加算器12の出力A+（すなわちノイズシェーパ人力）は無信号状態となる。このとき、ノイズシェーパ16内の全データは、上記したようにクリアされる。従つて、ノイズシェーパ16が帰還動作をしても、ゼロの情報が戻るだけで、レジスタ内容は常に同じゼロ状態を続ける。すなわ

ち、ノイズシェーパ16は、内部が動作していないのと等価な状態となり、出力に含まれるノイズは極小となるから、無信号時のS/N比は最良となる。

検出回路30がフィルタ10の出力Aに基づいてデジタル信号有りを検出すると、検出出力NSが“0”となり、これに応じて制御スイッチ32はオン制御され且つノイズシェーパ16は正常動作可能となる。この結果、ノイズシェーパ入力としてのデジタル信号にはデイザー14からの交流波形信号りが加算器12により混合されるから、ノイズシェーパ16では、直流レベルに対応したデジタル信号が到来してもリミットサイクルが発生しない。

なお、第1図の回路では、制御スイッチ32を設ける代りに、デイザー14の動作を検出出力NSの“1”又は“0”に応じてそれぞれオフ又はオン制御するようにしてもよい。

第3図は、この発明の他の実施例によるリミットサイクル防止回路を示すもので、この回路は、第1図のものはデイザー14Aをその出力が徐々に立下り且つ徐々に立上るように構成した点で異なるもので、その他の構成は第1図のものと同様である。

検出回路30がフィルタ10の出力Aに基づいて例えば344図のt1のタイミングでデジタル信号無しを検出すると、検出出力NSが“1”となり、これに応じて計数制御回路40がアップ／ダウンカウンタ42にダウン計数指令を与える。このため、カウンタ42は、1J1のパルス発生器44からのパルスCPのダウン計数をt1のタイミングから開始する。カウンタ42は、一例として最上位ビットが符号ビット(“+”=“0”)である6ビットのものであり、計数値は第4図に示すようにr011111Jからr00000Jに向けて変化する。なお、検出出力NS=“1”に応じてノイズシェーパ16内の全データがクリアされることは第1図及び第2図で述べたと同様である。

カウンタ42の計数値が例えば第4図のt2のタイミングで最小値r00000Jに達すると、計数制御回路40がこれを検知してカウンタ42に計数停止指令を与える。このため、カウンタ42は計数値ゼロの状態で停止する。

ところで、カウンタ42のダウン計数中には、計数出力CNTが制御スイッチ46を介して符号反転回路50又はオア回路52に供給される。ここで、制御スイッチ46は、デイザー周波数に対応する周期で第2のパルス発生器48から発生されるデイザーパルスDPの“1”又は“0”にそれぞれ応じて接点a又はbに切換わるもので、接点aを通じてオア回路50に計数出力CNTをそのまま供給し、接点す及び符号反転回路50を介してオア回路52に計数出力CNTを符号反転したもの(r100000J～r11111J)を供給するようになっている。従って、オア回路52の出力としては、

! S4図のt、～t2の区間に示すように値が正負の最大値±Mから最小値0に向けて徐々に減少するようなデジタル形式の交流波形信号DSが得られ、この信号DSが加算器12に供給される。このように交流波形信号DSの振幅値を徐々に減少させると、第1図に示したように急激に減少させた場合に比べてデイザー機能オフ時のノイズが低減される。

検出回路30がフィルタ10の出力Aに基づいて例えば第4図のt、のタイミングでデジタル信号有りを検出すると、検出出力NSが“0”となり、これに応じて計数制御回路40がカウンタ42にアップ計数指令を与える。このため、カウンタ42は、パルスCPのアップ計数をt3のタイミングから開始し、その計数値はr00000Jからr011111Jに向けて変化する。カウンタ42の計数値が例えば第4図のt4のタイミングで最大値r011111Jに達すると、計数制御回路40がこれを検知してカウンタ42に計数停止指令を与える。このため、カウンタ42は最大計数値の状態で停止する。

上記のようなカウンタ42のアップ計数中には、計数出力CNTが制御スイッチ46により符号反転回路50又はオア回路52にダウン計数の場合と同様に切換え供給され、符号反転回路50の出力もオア回路52に供給される。従って、オア回路52の出力としては、第4図のt、～t4の区間に示すように値が0から正負の最大値±Mに向けて徐々に増大するデジタル形式の交流波形信号DSが得られ、この信号DSが加算器12に供給される。このように交流波形信号DSの振幅値を徐々に増大させると、第1図に示したように急激に増大させた場合に比べてデイザー機能オン時のノイズが低減される。

第4図において、t1より前又はt4より後ではカウンタ42の最大計数値に対応した一定振幅の交流波形信号DSにより通常のデイザー機能が得られる。また、t2～t3の区間は、カウンタ42の最小計数値に対応して信号DSのレベルがゼロであり、デイザー機能は停止状態である。なお、カウンタ42は、必ずしも最小値又は最大値を検知して停止させる必要はなく、信号DSに関する所望の最大又は最小振幅レベルにそれぞれ対応して適当な上限値又は下限値を設定し、その設定値を検知して停止させるようにしてもよい。

第3図の回路において、パルス発生器44及び48は、第5図のクロック発生器20からのクロック信号φSを分周してパルスを発生する分周回路で構成してもよい。

#### [発明の効果]

以上のように、この発明によれば、ノイズシェーパの入力としてのデジタル信号の有無を検出し、信号無しのときはデイザー機能を停止し且つノイズシェーパ内のデータをクリアするようにしたので、無信号時にノイズシェーパ出力に含まれるノイズを大幅に低減でき、無信号

時のS/N比を120dB以上に向上可能となる効果が得られるものである。

その上、リミットサイクル防止用の交流波形信号の振幅値をディザー機能のオン/オフの際に徐々に変更制御すると、オン/オフに伴うノイズを低減でき、一層の低ノイズ化が可能となる効果も得られる。

【図面の簡単な説明】

第1図は、この発明の一実施例によるリミットサイクル防止回路を示す回路図、

第2図は、ノイズシェーバ16の一構成例を示す回路図 10

第3図は、この発明の他の実施例によるリミットサイクル防止回路を示す回路図、

第4図は、ディザー出力DSの値の変化を示す波形図、

第5図は、従来のDA変換装置を示すブロック図、

第6図は、ノイズシェーバ出力Bのパワースペクトラムを示すグラフである。

10・・・ディジタルフィルタ、12・・・加算器、14° 14A・・・ディザー16・・・ノイズシェーバ、  
18・・・波形整形回路、20・・・クロック発生器、 20  
22・・・ローパスフィルタ、30・・・無信号検出回路、32. 46・・・制御スイッチ、  
40・・・計数制御回路、  
42・・・アップ/ダウンカウンタ、  
50・・・符号反転回路。

出願人

ヤ  
マ  
ハ  
株  
式

第2図 (ノイズシーバ16 柑帽絢粉

⑨ 日本国特許庁 (JP)      ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A)      平4-115722

⑫ Int. Cl. 5  
 H 03 M 3/02

識別記号      庁内整理番号  
 7259-5J

⑬ 公開 平成4年(1992)4月16日

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 DA変換装置

⑮ 特 願 平2-235191  
 ⑯ 出 願 平2(1990)9月5日

⑰ 発明者 香高 孝之	静岡県浜松市中沢町10番1号	ヤマハ株式会社内
⑰ 発明者 本目 光弘	静岡県浜松市中沢町10番1号	ヤマハ株式会社内
⑰ 発明者 平野 雅三	静岡県浜松市中沢町10番1号	ヤマハ株式会社内
⑰ 発明者 星十郎	静岡県浜松市中沢町10番1号	ヤマハ株式会社内
⑰ 発明者 岸井 達也	静岡県浜松市中沢町10番1号	ヤマハ株式会社内
⑰ 発明者 森田 久仁昭	静岡県浜松市中沢町10番1号	ヤマハ株式会社内
⑰ 出願人 ヤマハ株式会社	静岡県浜松市中沢町10番1号	
⑰ 代理人 弁理士 伊沢 敏昭	静岡県浜松市中沢町10番1号	

明細書

発明の名称 DA変換装置

特許請求の範囲

- オーバーサンプリングされたマルチビットのデジタル入力をデルタシグマ変調することによりビット数の低下したデジタル信号を送出するノイズシェーバと、
- このノイズシェーバでのリミットサイクルを防止すべく該ノイズシェーバの入力としてのデジタル信号にデジタル形式の交流波形信号を加算する加算手段と、
- 前記ノイズシェーバからのデジタル信号を前記デジタル入力に対応したアナログ出力に変換する変換手段とをそなえたDA変換装置において、

- 前記交流波形信号を加算すべきデジタル信号の有無を検出する検出手段と、
- この検出手段の検出出力が信号無しを指示

するのに応答して前記交流波形信号の加算を停止すると共に前記ノイズシェーバ内のデータをクリアし、該検出手段の検出出力が信号有りを指示するのに応答して前記交流波形信号の加算を再開する制御手段と

を設けたことを特徴とするDA変換装置。

2. 前記制御手段は、前記交流波形信号の加算を停止する際該交流波形信号の振幅値を徐々に減少させると共に、前記交流波形信号の加算を再開する際該交流波形信号の振幅値を徐々に増大させるよう構成されていることを特徴とする請求項1記載のDA変換装置。

発明の詳細な説明

【産業上の利用分野】

この発明は、オーバーサンプリング技術及びノイズシェーピング(デルタシグマ変調)技術を利用したDA変換装置に関し、特にノイズシェーバでのリミットサイクルを防止する技術に関するものである。

DEST Available Copy

## 特開平4-115722 (2)

## 【発明の概要】

この発明は、ノイズシェーバの入力としてのデジタル信号にデジタル形式の交流波形信号を加算してノイズシェーバでのリミットサイクルを防止する回路において、交流波形信号を加算すべきデジタル信号の有無を検出し、信号無しのときは交流波形信号の加算を停止すると共にノイズシェーバ内のデータをクリアすることにより無信号時のノイズ低減を図ったものである。

## 【従来の技術】

従来、オーバーサンプリング技術及びノイズシェーピング技術を利用したDA変換装置としては、第5図に例示したものが提案されている。

第5図において、10はマルチビットのデジタル入力DIをオーバーサンプリングするデジタルフィルタ、12はフィルタ10からのマルチビットのデジタル信号Aを一方の入力とする加算器、14はデジタル形式の交流波形信号Dを加算器12に他方の入力として供給するディザイ、16は加算器12の加算出力としてのマルチビットのデジタ

ル信号A'をデルタシグマ変調（微積分処理）することによりビット数の低下したデジタル信号Bを送出するノイズシェーバ（デルタシグマ変調器）、18はノイズシェーバ16からのデジタル信号Bを構成するパルスを整形用クロック信号に応じて波形整形する波形整形回路、20は周波数 $\omega$ を有するシステムクロック信号 $\omega_s$ を発生するクロック発生器、22は回路18からのパルス出力Cをろ波して入力DIに対応したアナログ出力AOに変換するローパスフィルタ（LPF）である。

一点銀線ICで取込んだ回路部は、モノリシック又はハイブリッド形式の集積回路として構成され、1パッケージ内に配置されるもので、20Aはクロック発生器20に対して外付けされる水晶振動子である。場合によっては、デジタルフィルタ10及びその関連部分（破線で囲んだ部分）も含めて集積回路化が行なわれる。

デジタル入力DIは、一例として各サンプル毎に16ビット（1ワード）のデータを含む波形データであり、データ送付周波数は44.1kHzである。

る。また、システムクロック信号 $\omega_s$ の周波数は、16.9MHzであり、デジタルフィルタ10からノイズシェーバ16へのデータ送付周波数は、通常 $\omega_s/2$ （例えば8.45MHz）である。

ノイズシェーバ16は、オーバーサンプリングDA変換においてオーバーサンプリング周波数を下げるために設けられたものである。ノイズシェーバ16として1次又は2次のノイズシェーバを用いた場合には、ノイズシェーバ出力Bとしてパルス密度変調（ビットストリーム）出力が得られ、3次以上のノイズシェーバを用いた場合には出力Bとしてパルス幅変調出力が得られる。

ノイズシェーバ16では、デジタル信号がビット数を下げた表現に変換されるが、このような変換によって生ずる誤差はノイズとなり、高い周波数領域ほど大きくなる一方、注目する可聴周波数帯域内のノイズは満足な程度に低くなる。すなわち、第6図は、ノイズシェーバ16の理想出力のパワースペクトラムを示すもので、ノイズシェーピングによるノイズパワーは、 $\omega_s/2$ の近傍の

高周波領域で最大である。また、低周波領域の單色の鋭いパワー成分 $P_s$ は、入力デジタル信号成分にサイン波となるものを与えた場合に得られるものであり、パワー成分 $P_s$ は、システムクロック信号 $\omega_s$ によるものである。

ノイズシェーバ出力Bには、デジタル処理を受けた際のゆらぎにより理想状態に諸々のノイズが加わっているので、出力Bを直接LPF22でアナログ出力に変換するとノイズ成分により誤差が生ずる。そこで、ノイズシェーバ出力Bを波形整形回路18でシステムクロック信号 $\omega_s$ に基づいて波形整形してからLPF22に供給することによりノイズ成分による誤差を軽減している。

加算器12及びディザイ14は、ノイズシェーバ16においてリミットサイクルが発生するのを防止するため設けられたものである。ノイズシェーバ16は、例えば第2図に示すような一次のデルタシグマ変調器により構成されるが、システムクロック信号 $\omega_s$ が“1”，“0”を繰返すのに伴い出力データが入力側に負帰還され、これに応じて

## 特開平4-115722 (3)

積分器内のレジスタの内容が変化する。ノイズシェーバ入力として直流レベルに対応するディジタル信号が入力されると、直流レベルに応じた様返し周波数でレジスタの内容が変化し、出力に交流が現われ、この交流がリミットサイクル又はアイドリングパターンと呼ばれるものである。リミットサイクルの周波数は、直流レベルが小さいほど低く、微少な直流レベルでは可聴周波数帯域に入ることもある。リミットサイクルは、DA変換にとっては、不要な発振が出力に加わるので有害なものである。

第5図の回路では、リミットサイクルを防止するため、加算器12においてディジタル信号Aに対してディザ-14からの交流波形信号Dを加算して直流成分をかき乱し、それによってリミットサイクルのエネルギーが一周期数に集中しないようしている。交流波形信号Dとしては、200～600Hz位の周波数で-12～-20dB位のレベルの方波信号を用いるのが一般的である。

## 【発明が解決しようとする課題】

上記した従来のリミットサイクル防止技術によると、入力信号が無信号の状態でも加算器12には交流波形信号Dが加わっており、この信号Dが加算出力A<sub>1</sub>としてノイズシェーバ16に供給される。このため、ノイズシェーバ16の出力は、ノイズが増大し、無信号時のS/N比として120dB以上を得ることは困難であった。

この発明の目的は、上記したようなオーバーサンプリング型DA変換装置において、無信号時のノイズを低減することにある。

## 【課題を解決するための手段】

この発明は、上記したようなオーバーサンプリング型DA変換装置において、リミットサイクル防止用の交流波形信号を加算すべきディジタル信号の有無を検出する検出手段と、この検出手段の検出出力が信号無しを指示するのに応答して前記交流波形信号の加算を停止すると共に前記ノイズシェーバ内のデータをクリアし、該検出手段の検出出力が信号有りを指示するのに応答して前記交流波形信号の加算を再開する制御手段とを設けた

ことを特徴とするものである。

このような構成において、制御手段は、前記交流波形信号の加算を停止する際該交流波形信号の振幅値を徐々に減少させると共に、前記交流波形信号の加算を再開する際該交流波形信号の振幅値を徐々に増大させるように構成してもよい。

## 【作用】

この発明の構成によれば、ディジタル信号が無信号の状態になると、検出手段からの検出出力に基づいて制御手段が交流波形信号の加算を停止すると共にノイズシェーバ内のデータをクリアする。従って、ノイズシェーバ内で発進動作が行なわれても、レジスタ内容は常にゼロ状態となり、ノイズは極小となる。

この後、ディジタル信号が有信号の状態になると、検出手段からの検出出力に応じて制御手段が交流波形信号の加算を再開する。このため、ディジタル信号として直流レベルに対応したものが入力されてもリミットサイクルは発生しない。

また、上記したように交流波形信号の加算停止

及び加算再開の際に交流波形信号の振幅値を徐々に変更制御すると、ディザ-動作のオン/オフに伴うノイズ発生を回避でき、一層の低ノイズ化を達成できる。

## 【実施例】

第1図は、この発明の一実施例によるリミットサイクル防止回路を示すもので、第5図と同様の部分には同様の符号を付して詳細な説明を省略する。

第1図の回路の特徴とするとこなは、ディジタルフィルタ10の出力Aを入力とする無信号検出回路30を設けると共に交流波形信号Dの通路に制御スイッチ32を設け、検出回路30からの検出出力NSに応じて制御スイッチ32及びノイズシェーバ16を制御するようにしたことである。

検出回路30がフィルタ10の出力Aに基づいてディジタル信号無しを検出すると、検出出力NSが“1”になり、これに応じて制御スイッチ32がオフ制御されると共にノイズシェーバ16内のデータがクリアされる。

## 特開平4-115722 (4)

ノイズシェーバ16は、一例として第2図に示すような一次のデルタシグマ変調器から成っている。第2図において、16Aは加算器12の出力を一方の入力とする加算器、16Bは加算器16Aの出力を入力とする積分器、16Cは積分器16Bの出力について正負を判定して1ビット量子化を行なう量子化器、16Dは量子化器16Cの出力（ノイズシェーバ出力）を1サンプリング時間だけ遅延させて加算器16Aに他方の入力として供給する遅延素子である。ここで、加算器16A及び積分器16Bにはそれぞれ所定ビット数のレジスタが含まれており、遅延素子16Dはデータ保持機能を有するDフリップフロップ等により構成される。従って、ノイズシェーバ16内のデータをクリアするには、検出出力NS = "1"に応じて加算器16Aのレジスタ、積分器16Bのレジスタ、遅延素子16DのDフリップフロップ等をクリアすればよい。

制御スイッチ32がオフ状態になると、加算器12では交流波形信号Dの加算が停止されるので、加算器12の出力A<sub>1</sub>（すなわちノイズシェーバ

入力）は無信号状態となる。このとき、ノイズシェーバ16内の全データは、上記したようにクリアされる。従って、ノイズシェーバ16が帰還動作をしても、ゼロの情報が戻るだけで、レジスタ内容は常に同じゼロ状態を続ける。すなわち、ノイズシェーバ16は、内部が動作していないのと等価な状態となり、出力に含まれるノイズは極小となるから、無信号時のS/N比は最良となる。

検出回路30がフィルタ10の出力Aに基づいてディジタル信号有りを検出すると、検出出力NSが"0"となり、これに応じて制御スイッチ32はオン制御され且つノイズシェーバ16は正常動作可能となる。この結果、ノイズシェーバ入力としてのディジタル信号にはディマー14からの交流波形信号Dが加算器12により混合されるから、ノイズシェーバ16では、直流レベルに対応したディジタル信号が到来してもリミットサイクルが発生しない。

なお、第1図の回路では、制御スイッチ32を設ける代りに、ディマー14の動作を検出出力NSの

"1"又は"0"に応じてそれぞれオフ又はオン制御するようにしてもよい。

第3図は、この発明の他の実施例によるリミットサイクル防止回路を示すもので、この回路は、第1図のものとはディマー14Aをその出力が徐々に立下り且つ徐々に立上るように構成した点で異なるもので、その他の構成は第1図のものと同様である。

検出回路30がフィルタ10の出力Aに基づいて例えば第4図のt<sub>1</sub>のタイミングでディジタル信号無しを検出すると、検出出力NSが"1"となり、これに応じて計数制御回路40がアップ/ダウンカウンタ42にダウン計数指令を与える。このため、カウンタ42は、第1のパルス発生器44からのパルスC/Pのダウン計数をt<sub>1</sub>のタイミングから開始する。カウンタ42は、一例として最上位ビットが符号ビット（+ = "0"）である6ビットのものであり、計数値は第4図に示すように「011111」から「000000」に向けて変化する。なお、検出出力NS = "1"に応じて

ノイズシェーバ16内の全データがクリアされることは第1図及び第2図で述べたと同様である。

カウンタ42の計数値が例えば第4図のt<sub>2</sub>のタイミングで最小値「000000」に達すると、計数制御回路40がこれを検知してカウンタ42に計数停止指令を与える。このため、カウンタ42は計数値ゼロの状態で停止する。

ところで、カウンタ42のダウン計数中には、計数出力C/N/Tが制御スイッチ46を介して符号反転回路50又はオア回路52に供給される。ここで、制御スイッチ46は、ディマー周波数に対応する周期で第2のパルス発生器48から発生されるディマーパルスD/Pの"1"又は"0"にそれぞれ応じて接点a又はbに切換わるもので、接点aを通じてオア回路50に計数出力C/N/Tをそのまま供給し、接点b及び符号反転回路50を介してオア回路52に計数出力C/N/Tを符号反転したもの（「100000」～「111111」）を供給するようになっている。従って、オア回路52の出力としては、第4図のt<sub>1</sub>～t<sub>2</sub>の区間に示すよ

## 特開平4-115722 (5)

うに値が正負の最大値±Mから最小値0に向けて徐々に減少するようなディジタル形式の交流波形信号DSが得られ、この信号DSが加算器12に供給される。このように交流波形信号DSの振幅値を徐々に減少させると、第1図に示したように急速に減少させた場合に比べてディザイ機能オフ時のノイズが低減される。

検出回路30がフィルタ10の出力Aに基づいて例えば第4図のt<sub>1</sub>～t<sub>2</sub>のタイミングでディジタル信号有りを検出すると、検出出力NSが“0”となり、これに応じて計数制御回路40がカウンタ42にアップ計数指令を与える。このため、カウンタ42は、パルスCPのアップ計数をt<sub>1</sub>～t<sub>2</sub>のタイミングから開始し、その計数値は「0000000」から「0111111」に向けて変化する。

カウンタ42の計数値が例えば第4図のt<sub>3</sub>～t<sub>4</sub>のタイミングで最大値「0111111」に達すると、計数制御回路40がこれを検知してカウンタ42に計数停止指令を与える。このため、カウンタ42は最大計数値の状態で停止する。

上記のようなカウンタ42のアップ計数中には、計数出力CNTが制御スイッチ46により符号反転回路50又はオア回路52にダウン計数の場合と同様に切換え供給され、符号反転回路50の出力もオア回路52に供給される。従って、オア回路52の出力としては、第4図のt<sub>5</sub>～t<sub>6</sub>の区間に示すように値が0から正負の最大値±Mに向けて徐々に増大するようなディジタル形式の交流波形信号DSが得られ、この信号DSが加算器12に供給される。このように交流波形信号DSの振幅値を徐々に増大させると、第1図に示したように急速に増大させた場合に比べてディザイ機能オン時のノイズが低減される。

第4図において、t<sub>1</sub>より前又はt<sub>6</sub>より後ではカウンタ42の最大計数値に対応した一定振幅の交流波形信号DSにより通常のディザイ機能が得られる。また、t<sub>2</sub>～t<sub>3</sub>の区間は、カウンタ42の最小計数値に対応して信号DSのレベルがゼロであり、ディザイ機能は停止状態である。なお、カウンタ42は、必ずしも最小値又は最大値を検知

して停止させる必要はなく、信号DSに関する所望の最大又は最小振幅レベルにそれぞれ対応して適当な上限値又は下限値を設定し、その設定値を検知して停止させるようにしてもよい。

第3図の回路において、パルス発生器44及び48は、第5図のクロック発生器20からのクロック信号φ<sub>2</sub>を分周してパルスを発生する分周回路で構成してもよい。

## 【発明の効果】

以上のように、この発明によれば、ノイズシェーバの入力としてのディジタル信号の有無を検出し、信号無しのときはディザイ機能を停止し且つノイズシェーバ内のデータをクリアするようにしたので、無信号時にノイズシェーバ出力に含まれるノイズを大幅に低減でき、無信号時のS/N比を120dB以上に向上可能となる効果が得られるものである。

その上、リミットサイクル防止用の交流波形信号の振幅値をディザイ機能のオン/オフの際に徐々に変更制御すると、オン/オフに伴うノイズ

を低減でき、一層の低ノイズ化が可能となる効果も得られる。

## 図面の簡単な説明

第1図は、この発明の一実施例によるリミットサイクル防止回路を示す回路図。

第2図は、ノイズシェーバ18の一構成例を示す回路図。

第3図は、この発明の他の実施例によるリミットサイクル防止回路を示す回路図。

第4図は、ディザイ出力DSの値の変化を示す波形図。

第5図は、従来のDA変換装置を示すブロック図。

第6図は、ノイズシェーバ出力Bのパワースペクトラムを示すグラフである。

10—ディジタルフィルタ、12—加算器、14、14A—ディザイ、16—ノイズシェーバ、18—波形整形回路、20—クロック発生器、22—ローパスフィルタ、30—無信号検出回路、32、46—制御ス

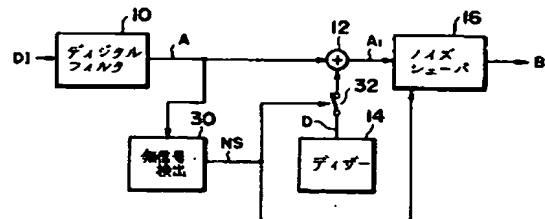
Best Available Copy

## 特開平4-115722 (6)

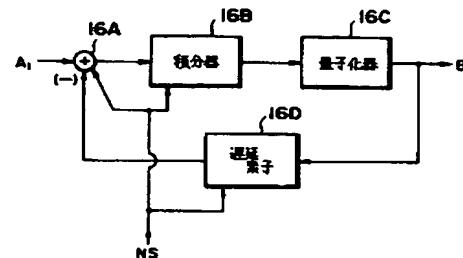
イッチ、40—計数制御回路、42—アップ／ダウンカウンタ、50—符号反転回路。

出願人 ヤマハ株式会社

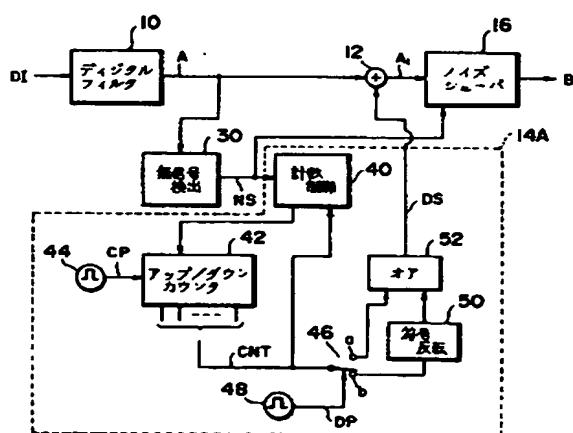
代理人 弁理士 伊沢 敏昭



第1図(実施例)



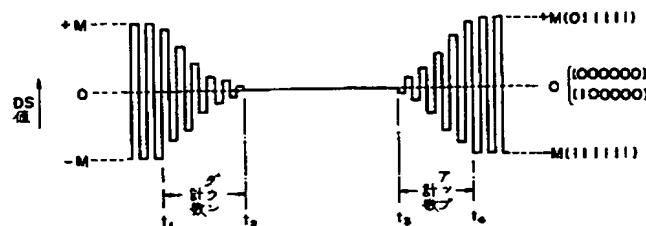
第2図(レイズシャーバ16の構成)



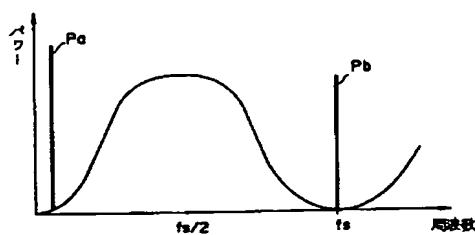
第3図(他の実施例)

Best Available Copy

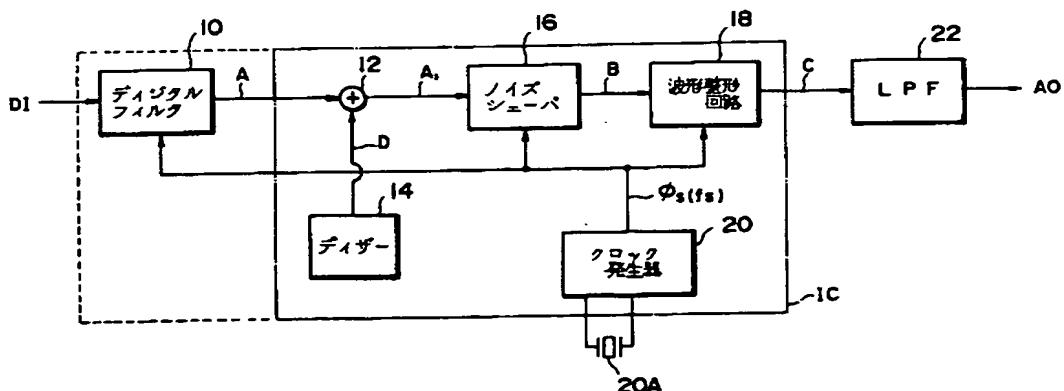
特開平4-115722 (7)



第4図(DS値の変化)



第6図(比力Bのパワースペクトラム)



第5図(従来のDA変換装置)

Best Available Copy